

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001364

International filing date: 31 January 2005 (31.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-106098
Filing date: 31 March 2004 (31.03.2004)

Date of receipt at the International Bureau: 31 March 2005 (31.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

09.2.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 3 月 3 1 日
Date of Application:

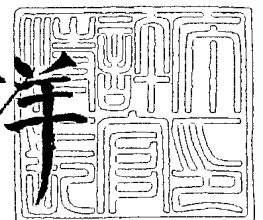
出 願 番 号 特 願 2 0 0 4 - 1 0 6 0 9 8
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 1 0 6 0 9 8]

出 願 人 T D K 株 式 会 社
Applicant(s):

2 0 0 5 年 3 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 99P07042
【提出日】 平成16年 3月31日
【あて先】 特許庁長官殿
【国際特許分類】 H04B 03/54
【発明者】
 【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 T D K株式会社内
 【氏名】 鈴木 満成
【特許出願人】
 【識別番号】 000003067
 【氏名又は名称】 T D K株式会社
【代理人】
 【識別番号】 100109656
 【弁理士】
 【氏名又は名称】 三反崎 泰司
【代理人】
 【識別番号】 100098785
 【弁理士】
 【氏名又は名称】 藤島 洋一郎
【手数料の表示】
 【予納台帳番号】 019482
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

第 1 および第 2 の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、

前記第 1 の導電線に直列的に挿入された第 1 および第 2 のインダクタと、

直列に接続された第 3 のインダクタと第 1 のキャパシタとからなり、一端が前記第 1 のインダクタと前記第 2 のインダクタとの間に接続され、他端が前記第 2 の導電線に接続された直列回路と

を備え、

前記第 1 および第 2 のインダクタの結合係数 k が 1 よりも小さく、かつ前記第 3 のインダクタのインダクタンスが、前記結合係数 k が 1 よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されている

ことを特徴とするノイズ抑制回路。

【請求項 2】

前記第 3 のインダクタのインダクタンス L_3 が、

$$L_3 = k (L_1 \cdot L_2)^{1/2} \quad \dots\dots (1)$$

の条件を満たす

ことを特徴とする請求項 1 に記載のノイズ抑制回路。

ただし、

L_1 : 第 1 のインダクタのインダクタンス

L_2 : 第 2 のインダクタのインダクタンス

【請求項 3】

前記第 3 のインダクタのインダクタンス L_3 が、

$L_3 > k (L_1 \cdot L_2)^{1/2}$ であり、かつ

$$L_3 \leq \{ (L_1 + M) (L_2 + M) \}^{1/2} \cdot 1/2 + k (L_1 \cdot L_2)^{1/2} \quad \dots\dots (2)$$

の条件を満たす

ことを特徴とする請求項 1 に記載のノイズ抑制回路。

ただし、

$$M = k (L_1 \cdot L_2)^{1/2}$$

L_1 : 第 1 のインダクタのインダクタンス

L_2 : 第 2 のインダクタのインダクタンス

【請求項 4】

前記第 3 のインダクタのインダクタンス L_3 が、

$L_3 < k (L_1 \cdot L_2)^{1/2}$ であり、かつ

$$L_3 \geq 0.9 k (L_1 \cdot L_2)^{1/2} \quad \dots\dots (3)$$

の条件を満たす

ことを特徴とする請求項 1 に記載のノイズ抑制回路。

ただし、

L_1 : 第 1 のインダクタのインダクタンス

L_2 : 第 2 のインダクタのインダクタンス

【請求項 5】

第 1 および第 2 の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、

前記第 1 の導電線に直列的に挿入された第 1 および第 2 のインダクタと、

直列に接続された第 3 のインダクタと第 1 のキャパシタとからなる直列回路と、

前記第 2 の導電線に直列的に挿入された第 4 および第 5 のインダクタと

を備え、

前記直列回路の一端が、前記第 1 のインダクタと前記第 2 のインダクタとの間に接続され、他端が前記第 4 のインダクタと前記第 5 のインダクタとの間に接続されており、

前記第 1 および第 2 のインダクタの結合係数 k_1 と前記第 4 および第 5 のインダクタの

結合係数 k_2 とが 1 よりも小さく、かつ前記第 3 のインダクタのインダクタンスが、前記結合係数 k_1 、 k_2 が 1 よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されている

ことを特徴とするノイズ抑制回路。

【請求項 6】

前記第 3 のインダクタのインダクタンス L_3 が、

$L_3 = M_1 + M_2$ であり、かつ

$$M_1 = k_1 (L_1 \cdot L_2)^{1/2} \dots\dots (4-1)$$

$$M_2 = k_2 (L_4 \cdot L_5)^{1/2} \dots\dots (4-2)$$

の条件を満たす

ことを特徴とする請求項 5 に記載のノイズ抑制回路。

ただし、

L_1 : 第 1 のインダクタのインダクタンス

L_2 : 第 2 のインダクタのインダクタンス

L_4 : 第 4 のインダクタのインダクタンス

L_5 : 第 5 のインダクタのインダクタンス

【請求項 7】

前記第 3 のインダクタのインダクタンス L_3 が、

$L_3 > M_1 + M_2$ であり、かつ

$$L_3 \leq 1/2 \{ (L_1 + L_4 + M_1 + M_2) (L_2 + L_5 + M_1 + M_2) \}^{1/2} + M_1 + M_2 \dots\dots (5)$$

の条件を満たす

ことを特徴とする請求項 5 に記載のノイズ抑制回路。

ただし、

$$M_1 = k_1 (L_1 \cdot L_2)^{1/2}, M_2 = k_2 (L_4 \cdot L_5)^{1/2}$$

L_1 : 第 1 のインダクタのインダクタンス

L_2 : 第 2 のインダクタのインダクタンス

L_4 : 第 4 のインダクタのインダクタンス

L_5 : 第 5 のインダクタのインダクタンス

【請求項 8】

前記第 3 のインダクタのインダクタンス L_3 が、

$L_3 < M_1 + M_2$ であり、かつ

$$L_3 \geq 0.9 (M_1 + M_2)^{1/2} \dots\dots (6)$$

の条件を満たす

ことを特徴とする請求項 5 に記載のノイズ抑制回路。

ただし、

$$M_1 = k_1 (L_1 \cdot L_2)^{1/2}, M_2 = k_2 (L_4 \cdot L_5)^{1/2}$$

L_1 : 第 1 のインダクタのインダクタンス

L_2 : 第 2 のインダクタのインダクタンス

L_4 : 第 4 のインダクタのインダクタンス

L_5 : 第 5 のインダクタのインダクタンス

【書類名】明細書

【発明の名称】ノイズ抑制回路

【技術分野】

【0001】

本発明は、導電線上を伝搬するノイズを抑制するノイズ抑制回路に関する。

【背景技術】

【0002】

スイッチング電源、インバータ、照明機器の点灯回路等のパワーエレクトロニクス機器は、電力の変換を行う電力変換回路を有している。電力変換回路は、直流を矩形波の交流に変換するスイッチング回路を有している。そのため、電力変換回路は、スイッチング回路のスイッチング周波数と等しい周波数のリップル電圧や、スイッチング回路のスイッチング動作に伴うノイズを発生させる。このリップル電圧やノイズは他の機器に悪影響を与える。そのため、電力変換回路と他の機器あるいは線路との間には、リップル電圧やノイズを低減する手段を設ける必要がある。

【0003】

リップル電圧やノイズを低減する手段としては、インダクタンス素子（インダクタ）とキャパシタとを含むフィルタ、いわゆるLCフィルタがよく用いられている。LCフィルタには、インダクタンス素子とキャパシタとを1つずつ有するものの他に、T型フィルタや π 型フィルタ等がある。また、電磁妨害（EMI）対策用の一般的なノイズフィルタも、LCフィルタの一種である。一般的なEMIフィルタは、コモンモードチョークコイル、ノーマルモードチョークコイル、Xコンデンサ、Yコンデンサ等のディスクリート素子を組み合わせて構成されている。

【0004】

また、最近、家庭内における通信ネットワークを構築する際に用いられる通信技術として電力線通信が有望視され、その開発が進められている。電力線通信は、電力線に高周波信号を重畳して通信を行う。この電力線通信では、電力線に接続された種々の電気・電子機器の動作によって、電力線上にノイズが発生し、このことが、エラーレートの増加等の通信品質の低下を招く。そのため、電力線上のノイズを低減する手段が必要になる。また、電力線通信では、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する必要がある。このような電力線上のノイズを低減したり、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する手段としても、LCフィルタが用いられている。

【0005】

なお、2本の導電線を伝搬するノイズには、2本の導電線の間で電位差を生じさせるノーマルモード（ディファレンシャルモード）ノイズと、2本の導電線を同じ位相で伝搬するコモンモードノイズとがある。

【0006】

特許文献1には、変圧器を用いたラインフィルタが記載されている。このラインフィルタは、変圧器とフィルタ回路とを備えている。変圧器の2次巻線は、交流電源から負荷に供給する電力を輸送する2本の導電線のうちの一方に挿入されている。フィルタ回路の2つの入力端は交流電源の両端に接続され、フィルタ回路の2つの出力端は変圧器の1次巻線の両端に接続されている。このラインフィルタでは、フィルタ回路によって電源電圧からノイズ成分を抽出し、このノイズ成分を変圧器の1次巻線に供給することによって、変圧器の2次巻線が挿入された導電線上において電源電圧からノイズ成分を差し引くようになっている。このラインフィルタは、ノーマルモードのノイズを低減する。

【0007】

特許文献2には、3つのインピーダンス素子で構成されたローパスフィルタが記載されている。このローパスフィルタは、2本の導電線のうちの一方に直列に挿入された2つの高インピーダンス素子と、一端が2つの高インピーダンス素子の間に接続され、他端が2本の導電線のうちの他方に接続された低インピーダンス素子とを備えている。2つの高インピーダンス素子は、それぞれ、コイルと抵抗との並列接続回路で構成され、低インピー

ダンス素子はキャパシタで構成されている。このローパスフィルタは、ノーマルモードノイズを低減する。

【0008】

特許文献3には、ノーマルモードノイズを低減するノーマルモードノイズ用フィルタ回路とコモンモードノイズを低減するコモンモードノイズ用フィルタ回路が記載されている。ノーマルモードノイズ用フィルタ回路は、2本の導電線のそれぞれに挿入された2つのコイルと、各コイルの巻線の途中同士を接続するキャパシタとで構成されている。コモンモードノイズ用フィルタ回路は、2本の導電線のそれぞれに挿入された2つのコイルと、各コイルの巻線の途中とアース間に設けられた2つのキャパシタとで構成されている。

【特許文献1】特開平9-102723号公報

【特許文献2】特開平5-121988号公報(図1)

【特許文献3】特許第2784783号公報(第6図)

【発明の開示】

【発明が解決しようとする課題】

【0009】

従来のLCフィルタでは、インダクタンスおよびキャパシタンスで決まる固有の共振周波数を有するため、所望の減衰量を狭い周波数範囲でしか得ることができないという問題点があった。

【0010】

また、電力輸送用の導電線に挿入されるフィルタには、電力輸送用の電流が流れている状態で所望の特性が得られることと、温度上昇に対する対策が要求される。そのため、通常、電力変換回路用のフィルタにおけるインダクタンス素子では、磁芯として、ギャップ付きのフェライト磁芯が用いられる。しかしながら、このようなインダクタンス素子では、その特性が、空芯のインダクタンス素子の特性に近づくため、所望の特性を実現するためにはインダクタンス素子が大型化するという問題点があった。

【0011】

また、特許文献1に記載されたラインフィルタでは、変圧器の結合係数が1であると共に、フィルタ回路がラインフィルタに影響を与えなければ、理論的には、ノイズ成分を完全に除去することができる。しかしながら、実際には、変圧器の結合係数を1にすることは不可能であり、結合係数の低下に伴い、減衰特性が悪化する。特に、キャパシタによってフィルタ回路を構成した場合には、このキャパシタと変圧器の1次巻線とによって直列共振回路が構成される。そのため、このキャパシタと変圧器の1次巻線とを含む信号の経路のインピーダンスは、直列共振回路の共振周波数近傍の狭い周波数範囲でのみ小さくなる。その結果、このラインフィルタでは、狭い周波数範囲でしかノイズ成分を除去することができない。これらのことから、実際に構成されたラインフィルタでは、広い周波数範囲においてノイズ成分を効果的に除去することができないという問題がある。

【0012】

また、特許文献2に記載されたローパスフィルタも、特許文献3に記載されたフィルタ回路も、ノイズ低減の原理は従来のLCフィルタと同様であるため、従来のLCフィルタと同様の問題点を有している。

【0013】

ところで、各国では、電子機器から交流電源線を介して外部へ放出されるノイズ、すなわち雑音端子電圧に関して、種々の規制を設けている場合が多い。例えば、CISPR(国際無線障害特別委員会)の規格では、150kHz~30MHzの周波数範囲で雑音端子電圧の規格が設定されている。このような広い周波数範囲においてノイズを低減する場合には、特に、1MHz以下の低い周波数の範囲におけるノイズの低減に関して、以下のような問題が発生する。すなわち、1MHz以下の低い周波数の範囲では、コイルのインピーダンスの絶対値は、コイルのインダクタンスをL、周波数をfとして、 $2\pi fL$ で表される。したがって、一般に、1MHz以下の低い周波数の範囲におけるノイズを低減するには、大きなインダクタンスを有するコイルを含むフィルタが必要になる。その結果、

フィルタが大型化する。

【0014】

本発明はかかる問題点に鑑みてなされたもので、その目的は、広い周波数範囲においてノイズを抑制でき、かつ小型化が可能なノイズ抑制回路を提供することにある。

【課題を解決するための手段】

【0015】

本発明の第1の観点に係るノイズ抑制回路は、第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、第1の導電線に直列的に挿入された第1および第2のインダクタと、直列に接続された第3のインダクタと第1のキャパシタとからなり、一端が第1のインダクタと第2のインダクタとの間に接続され、他端が第2の導電線に接続された直列回路とを備えているものである。そして、第1および第2のインダクタの結合係数 k が1よりも小さく、かつ第3のインダクタのインダクタンスが、結合係数 k が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されているものである。

【0016】

本発明の第1の観点に係るノイズ抑制回路において、第1および第2のインダクタは、互いに電磁氣的に結合されているものである。第1および第2のインダクタは、それぞれを別々の巻線で形成してもよいし、単一の巻線で形成することも可能である。単一の巻線で形成する場合、例えば、単一の巻線の途中に接続点を設け、その巻線の一方の端部から接続点までを第1のインダクタ、巻線の他方の端部から接続点までを第2のインダクタとすればよい。この接続点に、直列回路の一端が接続される。また、本発明の第1の観点に係るノイズ抑制回路において、第1および第2のインダクタのインダクタンスは同一の値であってもよい。第1および第2のインダクタを単一の巻線で形成する場合、例えば単一の巻線の midpoint に上記接続点を設けることで、各インダクタンスを等しくすることができる。

【0017】

ここで、直列回路の一端が、第1および第2のインダクタに接続される接続部分を第1の端部と呼び、第2の導電線に接続される他端の接続部分を第2の端部と呼ぶ。また、第1のインダクタにおける上記第1の端部とは逆側の端部を第1のインダクタの一方の端部と呼び、第1のインダクタにおける上記第1の端部側の端部を第1のインダクタの他方の端部と呼ぶ。また、第2のインダクタにおける上記第1の端部側の端部を第2のインダクタの一方の端部と呼び、第2のインダクタにおける上記第1の端部とは逆側の端部を第2のインダクタの他方の端部と呼ぶ。

【0018】

本発明の第1の観点に係るノイズ抑制回路では、第1のインダクタの一方の端部と第2の導電線における上記第2の端部との間にノーマルモードの電圧が印加されると、この電圧が第1のインダクタと直列回路とによって分圧され、第1のインダクタの両端間と直列回路の両端間とにそれぞれ所定の電圧が発生する。第1のインダクタと第2のインダクタは互いに電磁氣的に結合されているので、第1のインダクタの両端間に発生した電圧に応じて、第2のインダクタの両端間に所定の電圧が発生する。その結果、第2のインダクタの他方の端部と上記第2の端部との間の電圧は、第1のインダクタの一方の端部と上記第2の端部との間に印加された電圧よりも小さくなる。

また、本発明の第1の観点に係るノイズ抑制回路において、第2のインダクタの他方の端部と第2の導電線における上記第2の端部との間にノーマルモードの電圧が印加された場合も、上記の説明と同様にして、第1のインダクタの一方の端部と上記第2の端部との間の電圧は、第2のインダクタの他方の端部と上記第2の端部との間に印加された電圧よりも小さくなる。

【0019】

ここで、本発明の第1の観点に係るノイズ抑制回路では、第3のインダクタのインダクタンスが、結合係数 k が1よりも小さいことを条件として、所望のノイズ減衰特性が得ら

れるような値に設定されているため、例えばノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性が得られる。ここで、理想状態とは、結合係数 $k=1$ と仮定して、各インダクタンス $L_1 \sim L_3$ の値の最適化を図った状態のことをいう。例えば L_1 , L_2 を共に同じ値 L_0 とし、 L_3 も同じ値 L_0 とした状態のことをいう。

【0020】

本発明の第1の観点に係るノイズ抑制回路において、特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性が得られる。

$$L_3 = k (L_1 \cdot L_2)^{1/2} \quad \dots\dots (1)$$

(ただし、 L_1 : 第1のインダクタのインダクタンス、 L_2 : 第2のインダクタのインダクタンス)

【0021】

また特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときにはなかった共振点を得られる。これにより、カットオフ周波数より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。

$$L_3 > k (L_1 \cdot L_2)^{1/2} \text{であり、かつ}$$

$$L_3 \leq \{ (L_1 + M) (L_2 + M) \}^{1/2} \cdot 1/2 + k (L_1 \cdot L_2)^{1/2} \quad \dots\dots (2)$$

(ただし、 $M = k (L_1 \cdot L_2)^{1/2}$ 、 L_1 : 第1のインダクタのインダクタンス、 L_2 : 第2のインダクタのインダクタンス)

【0022】

また特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときと似た傾向の特性が得られる。

$$L_3 < k (L_1 \cdot L_2)^{1/2} \text{であり、かつ}$$

$$L_3 \geq 0.9 k (L_1 \cdot L_2)^{1/2} \quad \dots\dots (3)$$

(ただし、 L_1 : 第1のインダクタのインダクタンス、 L_2 : 第2のインダクタのインダクタンス)

【0023】

本発明の第2の観点に係るノイズ抑制回路は、第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、第1の導電線に直列的に挿入された第1および第2のインダクタと、直列に接続された第3のインダクタと第1のキャパシタとからなる直列回路と、第2の導電線に直列的に挿入された第4および第5のインダクタとを備え、直列回路の一端が、第1のインダクタと第2のインダクタとの間に接続され、他端が第4のインダクタと第5のインダクタとの間に接続されているものである。そして、第1および第2のインダクタの結合係数 k_1 と第4および第5のインダクタの結合係数 k_2 とが1よりも小さく、かつ第3のインダクタのインダクタンスが、結合係数 k_1 , k_2 が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されているものである。

【0024】

本発明の第2の観点に係るノイズ抑制回路において、第1および第2のインダクタは、上記第1の観点に係るノイズ抑制回路と同様、互いに電磁氣的に結合されているものであり、それぞれを別々の巻線で形成してもよいし、単一の巻線で形成することも可能である。第4および第5のインダクタも、同様に構成することができる。第4および第5のインダクタを単一の巻線で形成する場合、例えば、単一の巻線の途中に接続点を設け、その巻線の一方の端部から接続点までを第4のインダクタ、巻線の他方の端部から接続点までを第5のインダクタとすればよい。この接続点に、直列回路の他端が接続される。本発明の第2の観点に係るノイズ抑制回路において、第4および第5のインダクタのインダクタンスが同一の値であってもよい。第4および第5のインダクタを単一の巻線で形成する場合

、例えば単一の巻線の中点に上記接続点を設けることで、各インダクタンスを等しくすることができる。

【0025】

ここで、直列回路の一端が、第1および第2のインダクタに接続される接続部分を第1の端部と呼び、第4および第5のインダクタに接続される他端の接続部分を第2の端部と呼ぶ。また、第1のインダクタにおける上記第1の端部とは逆側の端部を第1のインダクタの一方の端部と呼び、第1のインダクタにおける上記第1の端部側の端部を第1のインダクタの他方の端部と呼ぶ。また、第2のインダクタにおける上記第1の端部側の端部を第2のインダクタの一方の端部と呼び、第2のインダクタにおける上記第1の端部とは逆側の端部を第2のインダクタの他方の端部と呼ぶ。また、第4のインダクタにおける上記第2の端部とは逆側の端部を第4のインダクタの一方の端部と呼び、第4のインダクタにおける上記第2の端部側の端部を第4のインダクタの他方の端部と呼ぶ。また、第5のインダクタにおける上記第2の端部側の端部を第5のインダクタの一方の端部と呼び、第5のインダクタにおける上記第2の端部とは逆側の端部を第5のインダクタの他方の端部と呼ぶ。

【0026】

本発明の第2の観点に係るノイズ抑制回路では、第1のインダクタの一方の端部と第4のインダクタの一方の端部との間にノーマルモードの電圧が印加されると、この電圧が第1のインダクタと直列回路と第4のインダクタとによって分圧され、第1のインダクタの両端間と直列回路の両端間と第4のインダクタの両端間とにそれぞれ所定の電圧が発生する。第1のインダクタと第2のインダクタは互いに電磁氣的に結合されているので、第1のインダクタの両端間に発生した電圧に応じて、第2のインダクタの両端間に所定の電圧が発生する。同様に、第4のインダクタと第5のインダクタは互いに電磁氣的に結合されているので、第4のインダクタの両端間に発生した電圧に応じて、第5のインダクタの両端間に所定の電圧が発生する。その結果、第2のインダクタの他方の端部と第5のインダクタの他方の端部との間の電圧は、第1のインダクタの一方の端部と第4のインダクタの一方の端部との間に印加された電圧よりも小さくなる。

また、本発明の第2の観点に係るノイズ抑制回路において、第2のインダクタの他方の端部と第5のインダクタの他方の端部との間にノーマルモードの電圧が印加された場合も、上記の説明と同様にして、第1のインダクタの一方の端部と第4のインダクタの一方の端部との間の電圧は、第2のインダクタの他方の端部と第5のインダクタの他方の端部との間に印加された電圧よりも小さくなる。

【0027】

ここで、本発明の第2の観点に係るノイズ抑制回路では、第3のインダクタのインダクタンスが、結合係数 k_1 、 k_2 が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるような値に設定されているので、ノイズの減衰量の周波数特性に関して、例えば理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性が得られる。ここで、理想状態とは、結合係数 $k_1 = 1$ 、 $k_2 = 1$ と仮定して、各インダクタンス $L_1 \sim L_5$ の値の最適化を図った状態のことをいう。例えば L_1 、 L_2 および L_4 、 L_5 を共に同じ値 L_0 とし、 L_3 を L_0 の2倍の値とした状態のことをいう。

【0028】

本発明の第2の観点に係るノイズ抑制回路において、特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性が得られる。

$L_3 = M_1 + M_2$ であり、かつ

$$M_1 = k_1 (L_1 \cdot L_2)^{1/2} \quad \dots\dots (4-1)$$

$$M_2 = k_2 (L_4 \cdot L_5)^{1/2} \quad \dots\dots (4-2)$$

(ただし、 L_1 :第1のインダクタのインダクタンス、 L_2 :第2のインダクタのインダクタンス、 L_4 :第4のインダクタのインダクタンス、 L_5 :第5のインダクタのインダ

クタンス)

【0029】

また特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときにはなかった共振点が得られる。これにより、共振点より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。

$L_3 > M_1 + M_2$ であり、かつ

$$L_3 \leq 1/2 \{ (L_1 + L_4 + M_1 + M_2) (L_2 + L_5 + M_1 + M_2) \}^{1/2} + M_1 + M_2 \quad \dots (5)$$

(ただし、 $M_1 = k_1 (L_1 \cdot L_2)^{1/2}$ 、 $M_2 = k_2 (L_4 \cdot L_5)^{1/2}$ 、 L_1 : 第1のインダクタのインダクタンス、 L_2 : 第2のインダクタのインダクタンス、 L_4 : 第4のインダクタのインダクタンス、 L_5 : 第5のインダクタのインダクタンス)

【0030】

また特に、第3のインダクタのインダクタンス L_3 を、以下の条件を満たすようにした場合には、ノイズの減衰量の周波数特性に関して、理想状態のときと似た傾向の特性が得られる。

$L_3 < M_1 + M_2$ であり、かつ

$$L_3 \geq 0.9 (M_1 + M_2)^{1/2} \quad \dots (6)$$

(ただし、 $M_1 = k_1 (L_1 \cdot L_2)^{1/2}$ 、 $M_2 = k_2 (L_4 \cdot L_5)^{1/2}$ 、 L_1 : 第1のインダクタのインダクタンス、 L_2 : 第2のインダクタのインダクタンス、 L_4 : 第4のインダクタのインダクタンス、 L_5 : 第5のインダクタのインダクタンス)

【0031】

なお、各観点に係るノイズ抑制回路において、第1の導電線、第2の導電線の例としては、単相2線式電力線における各導電線がある他、現在、電力供給のために多く用いられている単相3線式電力線における3線のうちの2線がある。

【発明の効果】

【0032】

本発明の各観点に係るノイズ抑制回路によれば、広い周波数範囲においてノイズを抑制でき、かつ小型化が可能となる。特に、直列回路におけるインダクタンス L_3 を、結合係数が1よりも小さいことを条件として適切な値に設定するようにしたので、ノイズの減衰量の周波数特性に関して、例えば理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性を得ることができる。

【発明を実施するための最良の形態】

【0033】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0034】

〔第1の実施の形態〕

まず、本発明の第1の実施の形態に係るノイズ抑制回路について説明する。本実施の形態に係るノイズ抑制回路は、2本の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモード（ディファレンシャルモード）ノイズを抑制する回路である。

【0035】

図1(A)、(B)は、本実施の形態に係るノイズ抑制回路の第1および第2の構成例を示している。このノイズ抑制回路は、一对の端子1a、1bと、他の一对の端子2a、2bと、端子1a、2a間を接続する第1の導電線3と、端子1b、2b間を接続する第2の導電線4とを備えている。ノイズ抑制回路はさらに、第1の導電線3に直列的に挿入された第1および第2のインダクタ51、52を備えている。ノイズ抑制回路はまた、直列に接続された第3のインダクタ53と第1のキャパシタ14とからなる直列回路15を備えている。直列回路15の一端は、第1のインダクタ51と第2のインダクタ52との間に接続され、他端が第2の導電線4に接続されている。

【0036】

ここで、直列回路15の一端が、第1および第2のインダクタ51, 52に接続される接続部分を第1の端部P1と呼び、第2の導電線4に接続される他端の接続部分を第2の端部P2と呼ぶ。また、第1のインダクタ51における第1の端部P1とは逆側の端部を第1のインダクタ51の一方の端部と呼び、第1のインダクタ51における第1の端部P1側を第1のインダクタ51の他方の端部と呼ぶ。また、第2のインダクタ52における第1の端部P1側を第2のインダクタ52の一方の端部と呼び、第2のインダクタ52における第1の端部P1とは逆側の端部を第2のインダクタ52の他方の端部と呼ぶ。

【0037】

直列回路15において、第3のインダクタ53は、磁芯13bに巻かれた巻線13aを有している。直列回路15において、第1のキャパシタ14は、周波数が所定値以上のノーマルモード信号を通過させるハイパスフィルタとして機能する。

【0038】

なお、直列回路15内において、第3のインダクタ53と第1のキャパシタ14の位置関係は、特に限定されない。図1(A)は、第3のインダクタ53と第1のキャパシタ14のうち、第3のインダクタ53の方が第1の端部P1に近い位置に配置され、第1のキャパシタ14の方が第2の端部P2に近い位置に配置されている構成例である。図1(B)は、逆に、第1のキャパシタ14の方が第1の端部P1に近い位置に配置され、第3のインダクタ53の方が第2の端部P2に近い位置に配置されている構成例である。

【0039】

第1および第2のインダクタ51, 52は、互いに電磁氣的に結合されている。第1のインダクタ51は、磁芯12aに巻かれた巻線11aを有している。第2のインダクタ52は、磁芯12bに巻かれた巻線11bを有している。第1および第2のインダクタ51, 52は、このようにそれぞれ別々の巻線11a, 11bで形成してもよいが、図2に示したように単一の巻線11で形成することも可能である。巻線11は、磁芯12に巻かれている。なお、図2では、第1および第2のインダクタ51, 52以外の回路は図示を省略している。

【0040】

第1および第2のインダクタ51, 52を単一の巻線で形成する場合、図2に示したように例えば、単一の巻線11の途中で接続点(第1の端部P1)を設け、その巻線11の一方の端部から接続点までを巻線11aとして第1のインダクタ51とすればよい。同様に、巻線11の他方の端部から接続点までを巻線11bとして第2のインダクタ52とすればよい。この接続点に、直列回路15の一端を接続する。

【0041】

第1および第2のインダクタ51, 52のインダクタンスは同一の値であることが好ましい。第1および第2のインダクタ51, 52を単一の巻線11で形成する場合、例えば単一の巻線11の中点に上記接続点を設けることで、各インダクタンスを等しくすることができる。

【0042】

ここで、上述したように第1および第2のインダクタ51, 52は、互いに電磁氣的に結合されており、その結合係数 k は理想的には1となる。しかしながら、実際には結合係数が1というのは実現できず、結合状態が比較的良好な状態でも、0.998などの値となる。さらに、コアの材質、巻き数、巻き方などにより結合係数は影響され、結合状態が悪い場合には0.4位にまで低下してしまう。例えば巻き数が少ないほど、結合係数が小さくなりやすい。また磁心の透磁率が小さいほど、結合係数が小さくなりやすい。この場合、結合係数を1とみなして各回路素子の値を決定すると、当初期待していた減衰量を得ることができないといった問題が生じる。

【0043】

したがって、各回路素子の値は、実際の結合係数の値に応じて決定することが好ましい。本実施の形態に係るノイズ抑制回路では、第1および第2のインダクタ51, 52の結

合係数 k の値が実際には 1 よりも小さくなることを考慮し、特に第 3 のインダクタ 53 のインダクタンス L_3 が、結合係数 k が 1 よりも小さいことを条件として、所望のノイズ減衰特性が得られるよう、実際の結合係数 k の値に応じた値に設定されている。なお、結合係数の低下による減衰特性の変化、およびそれを考慮したインダクタンス L_3 の値の決定方法については後に詳述する。

【0044】

次に、本実施の形態に係るノイズ抑制回路の作用について説明する。ここでは、図 1 (A) の構成例を基本にして説明する。始めに、図 1 (A) に示したように、端子 1a, 1b 間にノーマルモードの電圧 V_i が印加された場合について説明する。この場合には、第 1 のインダクタ 51 の一方の端部と第 2 の端部 P2 との間に電圧 V_i が印加される。この電圧 V_i は、第 1 のインダクタ 51 と直列回路 15 とによって分圧され、第 1 のインダクタ 51 の両端間と直列回路 15 の両端間とにそれぞれ所定の電圧が発生する。なお、図中の矢印は、その先の方が高い電位であることを表している。第 1 のインダクタ 51 と第 2 のインダクタ 52 は互いに電磁氣的に結合されているので、第 1 のインダクタ 51 の両端間に発生した電圧に応じて、第 2 のインダクタ 52 の両端間に所定の電圧が発生する。その結果、第 2 のインダクタ 52 の他方の端部と第 2 の端部 P2 との間の電圧、すなわち端子 2a, 2b 間の電圧 V_o は、第 1 のインダクタ 51 の一方の端部と第 2 の端部 P2 との間に印加された電圧 V_i よりも小さくなる。

【0045】

また、本実施の形態において、端子 2a, 2b 間にノーマルモードの電圧が印加された場合も、上記の説明と同様にして、端子 1a, 1b 間の電圧は、端子 2a, 2b 間に印加された電圧よりも小さくなる。このように、本実施の形態に係るノイズ抑制回路によれば、端子 1a, 1b にノーマルモードノイズが印加された場合と、端子 2a, 2b にノーマルモードノイズが印加された場合のいずれの場合にも、ノーマルモードノイズを抑制することができる。

【0046】

次に、特に、理想状態での作用について説明する。ここで、本実施の形態に係るノイズ抑制回路において、理想状態とは、第 1 および第 2 のインダクタ 51, 52 の結合係数 $k = 1$ と仮定して、各素子値の最適化を図った状態のことをいう。ここでは特に、第 1 および第 2 のインダクタ 51, 52 のインダクタンス L_1, L_2 を共に同じ値 L_0 とし、第 3 のインダクタ 53 のインダクタンス L_3 も同じ値 L_0 とする。キャパシタ 14 のインピーダンスはゼロであると仮定する。

【0047】

この場合、端子 1a, 1b 間にノーマルモードの電圧 V_i が印加されると、この電圧 V_i は、第 1 のインダクタ 51 と第 3 のインダクタ 53 とによって分圧され、第 1 のインダクタ 51 の両端間と第 3 のインダクタ 53 の両端間とにそれぞれ $1/2 V_i$ の電圧が発生する。第 1 のインダクタ 51 の両端間に発生した電圧 $1/2 V_i$ に応じて、第 2 のインダクタ 52 の両端間にも電圧 $1/2 V_i$ が発生する。その結果、端子 2a, 2b 間の電圧 V_o は、第 2 のインダクタ 52 の両端間の電圧 $1/2 V_i$ と第 3 のインダクタ 53 の両端間の電圧 $1/2 V_i$ とが相殺されることにより、原理的にはゼロとなる。また、端子 2a, 2b 間にノーマルモードの電圧 V_i が印加された場合も、上記の説明と同様にして、端子 1a, 1b 間の電圧は、原理的にはゼロとなる。

【0048】

ここで、上述のように第 1 および第 2 のインダクタ 51, 52 のインダクタンス L_1, L_2 、および第 3 のインダクタ 53 のインダクタンス L_3 の各インダクタンスが共に L_0 で等しい場合について考える。これは、例えば第 1 および第 2 のインダクタ 51, 52 の巻線 11a, 11b、および第 3 のインダクタ 53 の巻線 13a の各巻線を等しくすることで実現することができる。この場合、巻線のインダクタンスは巻数の二乗に比例することから、巻線 11a, 11b を合わせた全体の巻線 11 のインダクタンスは、第 3 のインダクタ 53 のインダクタンス L_3 の 4 倍となる。言い換えると、第 3 のインダクタ 53 の

インダクタンス L_3 は、巻線11のインダクタンスの $1/4$ となる。このように、理想状態では、第3のインダクタ53は、インダクタンスの小さなもので済む。

【0049】

次に、結合係数の低下による減衰特性の変化を、以下の第1のシミュレーションの結果により具体的に説明する。図3は、第1のシミュレーションに用いたノイズ抑制回路の等価回路を示している。なお、 R_a 、 R_b は、入出力インピーダンスとして設定したものである。例えば、 R_a が電源系統側の入出力インピーダンス、 R_b が機器側の入出力インピーダンスに相当する。このシミュレーションでは、 R_b 側を測定機器側として設定している。図3において、各回路記号の近傍にはシミュレーションに用いた各回路素子の素子値を記す。図示したように、第1および第2のインダクタ51、52のインダクタンス L_1 、 L_2 、ならびに第3のインダクタ53のインダクタンス L_3 を共に、同じ値($1\mu\text{H}$)に設定した。このような回路において、第1および第2のインダクタ51、52の結合係数 k の値を、理想値の1から0.8まで順次低下させた場合の減衰特性を計算した。

【0050】

図4は、そのシミュレーション結果を示している。これは、ノイズ抑制回路におけるノーマルモードノイズの減衰量の周波数特性をグラフ化して示したものである。なお、図4において、横軸は周波数(Hz)を表し、縦軸は利得(ゲイン)(dB)を表している。ゲインが小さいほど、すなわち、マイナス方向のゲインの絶対値が大きいほど、ノイズの減衰量は大きい。図4において、符号61で示した線は結合係数 $k=1$ とした場合、符号62で示した線は結合係数 $k=0.998$ とした場合、符号63で示した線は結合係数 $k=0.98$ とした場合、符号64で示した線は結合係数 $k=0.9$ とした場合、符号65で示した線は結合係数 $k=0.8$ とした場合のシミュレーション結果を示している。

【0051】

図4から、理想状態($k=1$)では、減衰極のない減衰特性が得られるのに対し、 k が1よりも小さい場合では減衰極62A~65Aが生じている。この減衰極は、第1および第2のインダクタ51、52の相互インダクタンスと第3のインダクタ53と第1のキャパシタ14とで形成される共振点に相当する。この共振点は、結合係数 k の値が低下するほど、低周波側に移動している。これにより、結合係数 k の値が低下するほど、共振点より高周波側で、理想状態に比べて当初期待していた減衰量を得ることができなくなるといった問題が生じる。

【0052】

そこで、本実施の形態に係るノイズ抑制回路では、結合係数 k が1より小さくとも、第3のインダクタ53のインダクタンス L_3 の値を結合係数 k の値に応じて調整することにより、減衰特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性が得られるようにしている。または、任意の周波数に共振点を作ること、部分的に理想状態よりも優れた特性が得られるようにしている。

【0053】

次に、このインダクタンス L_3 の値による減衰特性の変化を、以下の第2のシミュレーションの結果により具体的に説明する。図5は、第2のシミュレーションに用いたノイズ抑制回路の等価回路を示している。この回路において、結合係数 $k=0.8$ として、インダクタンス L_3 の値を種々変化させた場合の減衰特性を計算した。その他の回路素子の値は、図3の回路と同様である。

【0054】

図6は、そのシミュレーション結果を示している。これは、図4と同様、ノーマルモードノイズの減衰量の周波数特性をグラフ化して示したものである。図6には、比較のため理想状態($k=1$, $L_3=1\mu\text{H}$)での計算結果も示す。図6において、符号70で示した線は理想状態の場合、符号71で示した線は $L_3=8.0\mu\text{H}$ とした場合、符号72で示した線は $L_3=0.81\mu\text{H}$ とした場合、符号73で示した線は $L_3=0.801\mu\text{H}$ とした場合、符号74で示した線は $L_3=0.8001\mu\text{H}$ とした場合、符号75で示した線は $L_3=0.8\mu\text{H}$ とした場合、符号76で示した線は $L_3=0.7999\mu\text{H}$ とし

た場合、符号 77 で示した線は $L_3 = 0.799 \mu H$ とした場合、符号 78 で示した線は $L_3 = 0.79 \mu H$ とした場合、符号 79 で示した線は $L_3 = 0.08 \mu H$ とした場合のシミュレーション結果を示している。

【0055】

図 6 のシミュレーション結果から、インダクタンス L_3 の値とその減衰特性との関係に関して以下のことが言える。まず、 $L_1 = L_2 = L_0$ の場合について述べる。インダクタンス L_3 の値により、おおきく以下の 3 つの条件 (A) ~ (C) に分けられる。

【0056】

(A) $L_3 = k \cdot L_0$ のとき。

図 6 のシミュレーションでは、符号 75 で示した線が該当する ($L_3 = 0.8 \times 1.0 \mu H = 0.8 \mu H$)。この場合、 k が 1 未満であっても、減衰特性に関して理想状態 ($k = 1.0$, $L_3 = L_0$) とほぼ同じ特性が得られる。

【0057】

(B) $L_3 > k \cdot L_0$ のとき。

図 6 のシミュレーションでは、符号 71 ~ 74 で示した線が該当する ($L_3 > 0.8 \mu H$)。この場合、理想状態のときにはなかった共振点が現れる。そして、その共振周波数 f_0 は、

$$f_0 = 1 / 2\pi \sqrt{C(L_3 - k \cdot L_0)}$$

と求められる。 $\sqrt{}$ は、 $C(L_3 - k \cdot L_0)$ 全体の平方根を取ることを示す。 C は、直列回路 15 の第 1 のキャパシタ 14 のキャパシタンスを示す。したがってこの場合、 L_3 の値を変えることにより、共振周波数を任意の周波数に移動できる。この共振点を設けた場合、カットオフ周波数より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。すなわち、図 6 から分かるようにカットオフ周波数より高い周波数でかつ理想状態の特性と一致するまでの周波数帯では、理想状態の特性よりも減衰特性が良くなる領域が生じる。

この場合において、インダクタンス L_3 の最大値としては、上式で求められる共振周波数 f_0 が理想状態のカットオフ周波数以上であることが望ましいという条件より、

$$L_3 \leq (1/2 + 3/2k) \cdot L_0 \quad \dots\dots (2a)$$

であることが望ましい。図 6 のシミュレーションでは、符号 72 ~ 74 で示した線が、この望ましい条件を満たしている ($L_3 \leq 1.7 \mu H$)。

【0058】

(C) $L_3 < k \cdot L_0$ のとき。

図 6 のシミュレーションでは、符号 76 ~ 79 で示した線が該当する ($L_3 < 0.8 \mu H$)。この場合、図 6 の減衰特性からも分かるように、理想状態のときと似た傾向の特性が得られ、特に、ある状態までは理想状態とほぼ同じ特性を示し、ある周波数以上から減衰特性が悪化する。このため、理想状態とほぼ同じ周波数範囲で使用するならば、 L_3 をこの条件値にすることにメリットがある。

この場合において、インダクタンス L_3 の最小値としてはシミュレーションから、

$$L_3 \geq 0.9k(L_1 \cdot L_2)^{1/2} \quad \dots\dots (3a)$$

であることが望ましい。図 6 のシミュレーションでは、符号 76 ~ 78 で示した線が、この望ましい条件を満たしている ($L_3 \geq 0.72 \mu H$)。

【0059】

ここで、上記式 (2a), (3a) によって求められるインダクタンス L_3 の最大値、最小値での特性をシミュレーションによって計算した。図 7 は、このシミュレーションに用いたノイズ抑制回路の等価回路を示している。この等価回路において、第 1 および第 2 のインダクタ 51, 52 のインダクタンス L_1, L_2 は共に、 $L_0 = 10 \mu H$ に設定した。また結合係数 k は 0.8 とした。この場合、上記式 (2a) から求められるインダクタンス L_3 の最大値は、

$$L_3 = (1/2 + 3/2 \times k) \times L_0 = 17 \mu H$$

となる。また、式 (3a) から求められるインダクタンス L_3 の最小値は、

$$L3 = 0.9k \times L0 = 7.2 \mu H$$

となる。インダクタンス $L3$ の値を、これら最大値、最小値に設定した場合の減衰特性を計算した。

【0060】

図8は、そのシミュレーション結果を示している。比較のため、理想状態 ($k=1.0$, $L3=10 \mu H$) の場合と、上記条件 (A) の場合 ($k=0.8$, $L3=k \cdot L0=8 \mu H$) とについてもシミュレーションを行った。また、インダクタンス $L3$ を上記最小値よりも若干小さめの値の $7.1 \mu H$ に設定した場合についてもシミュレーションを行った。図8において、符号81で示した線は理想状態の場合、符号82で示した線は $L3=17 \mu H$ とした場合、符号83で示した線は $L3=8 \mu H$ とした場合、符号84で示した線は $L3=7.2 \mu H$ とした場合、符号85で示した線は $L3=7.1 \mu H$ とした場合のシミュレーション結果を示している。図8の結果から、上記最大値、最小値の妥当性が確認できた。

【0061】

以上、 $L1=L2$ の場合について述べたが、 $L1$ と $L2$ が異なる場合についても、以下で説明するように同様のことがいえる。おおきく以下の3つの条件 (A-1), (B-1), (C-1) に分けられる。

【0062】

(A-1) $L3 = k (L1 \cdot L2)^{1/2} \dots\dots (1)$ のとき。

この場合には、上記条件 (A) のときと同様、 k が1未満であっても、減衰特性に関して $k=1.0$ のときとほぼ同じ特性が得られる。

【0063】

(B-1) $L3 > k (L1 \cdot L2)^{1/2}$ のとき

この場合には、上記条件 (B) のときと同様、 $k=1.0$ のときにはなかった共振点が現れ、上記条件 (B) のときと同様の減衰特性が得られる。そして、その共振周波数 $f0$ は、

$$f0 = 1 / 2 \pi \sqrt{C (L3 - M)},$$

$$\text{ただし、} M = k (L1 \cdot L2)^{1/2}$$

と求められる。 $\sqrt{}$ は、 $C (L3 - M)$ 全体の平方根を取ることを示す。 C は、直列回路15の第1のキャパシタ14のキャパシタンスを示す。この場合にも、カットオフ周波数より高い周波数でかつ理想状態の特性と一致するまでの周波数帯では、理想状態の特性よりも減衰特性が良くなる領域が生じる。

この場合において、インダクタンス $L3$ の最大値としては、上式で求められる共振周波数 $f0$ が理想状態のカットオフ周波数以上であることが望ましいという条件より、

$$L3 \leq \{ (L1 + M) (L2 + M) \}^{1/2} \cdot 1/2 + k (L1 \cdot L2)^{1/2} \dots\dots (2)$$

であることが望ましい。

【0064】

(C-1) $L3 < k (L1 \cdot L2)^{1/2}$ のとき。

この場合には、上記条件 (C) のときと同様、ある状態までは理想状態とほぼ同じ特性を示し、ある周波数以上から減衰特性が悪化する。

この場合において、インダクタンス $L3$ の最小値としてはシミュレーションから、

$$L3 \geq 0.9k (L1 \cdot L2)^{1/2} \dots\dots (3)$$

であることが望ましい。

【0065】

以上のように、インダクタンス $L3$ は、結合係数 k の値に応じて設定される。このため、インダクタンス $L3$ の値を決定するために結合係数 k の値をあらかじめ測定しておく必要がある。次に、この結合係数 k の測定方法について説明する。

【0066】

一般に、2つのコイルの自己インダクタンス $L1$, $L2$ 、および相互インダクタンス M には次の関係がある。

$$M = k (L_1 \cdot L_2)^{1/2}$$

したがって、この式から2つのコイルの自己インダクタンス L_1 、 L_2 、および相互インダクタンス M を測定することにより、結合係数 k を求めることができる。

【0067】

図14は、相互インダクタンス M の測定方法の一例を示している。図14に示したように、2つのコイルを同相直列接続した場合と逆相直列接続した場合とについて、それぞれ L_a 、 L_b を測定する。この場合、相互インダクタンス M は次の式で求めることができる。なお、 L_a 、 L_b は、端子間のインダクタンスを表している。

$$M = (L_a - L_b) / 4$$

なお、これらの測定方法に関しては、例えばAjilent Technologiesの出版物「インピーダンス測定ハンドブック」に掲載されている。

【0068】

以上説明したように、本実施の形態に係るノイズ抑制回路によれば、比較的簡単な構成で、しかも大きなインダクタンスを有するコイルを用いることなく、広い周波数範囲において効果的にノーマルモードノイズを抑制することが可能になる。特に、結合係数 k の値に応じて、直列回路15におけるインダクタンス L_3 が適切な値に設定されているため、ノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性を得ることができる。

【0069】

[第2の実施の形態]

次に、本発明の第2の実施の形態に係るノイズ抑制回路について説明する。上記第1の実施の形態に係るノイズ抑制回路は、2本の導電線3、4のうち第1の導電線3にのみインダクタが挿入された不平衡型の回路であったが、本実施の形態に係るノイズ抑制回路は、2本の導電線3、4の双方にインダクタを挿入することにより、平衡型の回路にしたものである。

【0070】

図9(A)、(B)は、本発明の第2の実施の形態に係るノイズ抑制回路の第1および第2の構成例を示している。図9(A)、(B)のノイズ抑制回路は、図1(A)、(B)のノイズ抑制回路の構成に対して、第4および第5のインダクタ54、55が追加されたものであり、その他の構成は図1(A)、(B)のノイズ抑制回路と同様である。第4および第5のインダクタ54、55は、第2の導電線4に直列的に挿入されている。

【0071】

ここで、本実施の形態に係るノイズ抑制回路において、直列回路15の一端が、第1および第2のインダクタ51、52に接続される接続部分を第1の端部P1と呼び、第4および第5のインダクタ54、55に接続される他端の接続部分を第2の端部P2と呼ぶ。また、第1のインダクタ51における第1の端部P1とは逆側の端部を第1のインダクタ51の一方の端部と呼び、第1のインダクタ51における第1の端部P1側の端部を第1のインダクタ51の他方の端部と呼ぶ。また、第2のインダクタ52における第1の端部P1側を第2のインダクタ52の一方の端部と呼び、第2のインダクタ52における第1の端部P1とは逆側の端部を第2のインダクタ52の他方の端部と呼ぶ。また、第4のインダクタ54における第2の端部P2とは逆側の端部を第4のインダクタ54の一方の端部と呼び、第4のインダクタ54における第2の端部P2側の端部を第4のインダクタ54の他方の端部と呼ぶ。また、第5のインダクタ55における第2の端部P2側の端部を第5のインダクタ55の一方の端部と呼び、第5のインダクタ55における第2の端部P2とは逆側の端部を第5のインダクタ55の他方の端部と呼ぶ。

【0072】

本実施の形態に係るノイズ抑制回路においても、直列回路15内において、第3のインダクタ53と第1のキャパシタ14の位置関係は、特に限定されない。図9(A)は、第3のインダクタ53と第1のキャパシタ14のうち、第3のインダクタ53の方が第1の端部P1に近い位置に配置され、第1のキャパシタ14の方が第2の端部P2に近い位置

に配置されている構成例である。図9 (B) は、逆に、第1のキャパシタ14の方が第1の端部P1に近い位置に配置され、第3のインダクタ53の方が第2の端部P2に近い位置に配置されている構成例である。

【0073】

第4および第5のインダクタ54, 55は、第1および第2のインダクタ51, 52と同様、互いに電磁氣的に結合されている。第4のインダクタ54は、磁芯22aに巻かれた巻線21aを有している。第5のインダクタ55は、磁芯22bに巻かれた巻線21bを有している。第4および第5のインダクタ54, 55は、第1および第2のインダクタ51, 52と同様、別々の巻線22a, 22bで形成してもよいが、図10に示したように単一の巻線21で形成することも可能である。巻線21は、磁芯22に巻かれている。なお、図10では、第1および第2のインダクタ51, 52、ならびに第4および第5のインダクタ54, 55以外の回路は図示を省略している。

【0074】

第4および第5のインダクタ54, 55を単一の巻線で形成する場合、図10に示したように例えば、単一の巻線21の途中に接続点(第2の端部P2)を設け、その巻線21の一方の端部から接続点までを巻線21aとして第4のインダクタ54とすればよい。同様に、巻線21の他方の端部から接続点までを巻線21bとして第5のインダクタ55とすればよい。この接続点に、直列回路15の他端を接続する。

【0075】

第4および第5のインダクタ54, 55のインダクタンスは、第1および第2のインダクタ51, 52のインダクタンスと同様、同一の値であることが好ましい。より好ましくは、第1および第2のインダクタ51, 52、ならびに第4および第5のインダクタ54, 55のすべてのインダクタンスを同一の値にするとよい。第4および第5のインダクタ54, 55を単一の巻線21で形成する場合、例えば単一の巻線21の midpoint に上記接続点を設けることで、第4および第5のインダクタ54, 55の各インダクタンスを等しくすることができる。

【0076】

ここで、上述したように第1および第2のインダクタ51, 52は、互いに電磁氣的に結合されており、その結合係数 k_1 は理想的には1となる。第4および第5のインダクタ54, 55の結合係数 k_2 も、理想的には1となる。しかしながら、実際には結合係数が1というのは実現できない。

【0077】

そこで、本実施の形態に係るノイズ抑制回路では、第1および第2のインダクタ51, 52の結合係数 k_1 、および第4および第5のインダクタ54, 55の結合係数 k_2 の値が実際には1よりも小さくなることを考慮し、特に第3のインダクタ53のインダクタンス L_3 が、結合係数 k_1 , k_2 が1よりも小さいことを条件として、所望のノイズ減衰特性が得られるよう、実際の結合係数 k_1 , k_2 の値に応じた値に設定されている。なお、インダクタンス L_3 の値の決定方法については後に詳述する。

【0078】

次に、本実施の形態に係るノイズ抑制回路の作用について説明する。ここでは、図9 (A) の構成例を基本にして説明する。始めに、図1 (A) に示したように、端子1a, 1b間にノーマルモードの電圧 V_i が印加された場合について説明する。この場合には、第1のインダクタ51の一方の端部と第4のインダクタ54の一方の端部との間に電圧 V_i が印加される。この電圧 V_i は、第1のインダクタ51と直列回路15と第4のインダクタ54とによって分圧され、第1のインダクタ51の両端間と直列回路15の両端間と第4のインダクタ54の両端間とにそれぞれ所定の電圧が発生する。なお、図中の矢印は、その先の方が高い電位であることを表している。

【0079】

第1のインダクタ51と第2のインダクタ52は互いに電磁氣的に結合されているので、第1のインダクタ51の両端間に発生した電圧に応じて、第2のインダクタ52の両端

間に所定の電圧が発生する。同様に、第4のインダクタ54と第5のインダクタ55は互いに電磁氣的に結合されているので、第4のインダクタ54の両端間に発生した電圧に応じて、第5のインダクタ55の両端間に所定の電圧が発生する。その結果、第2のインダクタ52の他方の端部と第5のインダクタ55の他方の端部との間の電圧、すなわち端子2a, 2b間の電圧 V_o は、第1のインダクタ51の一方の端部と第4のインダクタ54の一方の端部との間に印加された電圧 V_i よりも小さくなる。

【0080】

また、本実施の形態において、端子2a, 2b間にノーマルモードの電圧が印加された場合も、上記の説明と同様にして、端子1a, 1b間の電圧は、端子2a, 2b間に印加された電圧よりも小さくなる。このように、本実施の形態に係るノイズ抑制回路によれば、端子1a, 1bにノーマルモードノイズが印加された場合と、端子2a, 2bにノーマルモードノイズが印加された場合のいずれの場合にも、ノーマルモードノイズを抑制することができる。

【0081】

次に、特に、理想状態での作用について説明する。ここで、本実施の形態に係るノイズ抑制回路において、理想状態とは、第1および第2のインダクタ51, 52の結合係数 $k_1 = 1$ 、第4および第5のインダクタ54, 55の結合係数 $k_2 = 1$ と仮定して、各素子値の最適化を図った状態のことをいう。ここでは特に、第1および第2のインダクタ51, 52のインダクタンス L_1, L_2 、および第4および第5のインダクタ54, 55のインダクタンス L_4, L_5 の各インダクタンスを共に同じ値 L_0 とし、第3のインダクタ53のインダクタンス L_3 を、 L_0 の2倍の値とする。キャパシタ14のインピーダンスはゼロであると仮定する。

【0082】

この場合、端子1a, 1b間にノーマルモードの電圧 V_i が印加されると、この電圧 V_i は、第1のインダクタ51と直列回路15と第4のインダクタ54とによって分圧され、第1のインダクタ51の両側間および第4のインダクタ54の両端間にそれぞれ $1/4 V_i$ の電圧が発生し、直列回路15の両端間に $1/2 V_i$ の電圧が発生する。第1のインダクタ51の両端間に発生した電圧 $1/4 V_i$ に応じて、第2のインダクタ52の両端間にも電圧 $1/4 V_i$ が発生する。同様に、第4のインダクタ54の両端間に発生した電圧 $1/4 V_i$ に応じて、第5のインダクタ55の両端間にも電圧 $1/4 V_i$ が発生する。その結果、端子2a, 2b間の電圧 V_o は、第2のインダクタ52の両端間の電圧 $1/4 V_i$ と、第5のインダクタ55の両端間の電圧 $1/4 V_i$ と、第3のインダクタ53の両端間の電圧 $1/2 V_i$ とが相殺されることにより、原理的にはゼロとなる。また、端子2a, 2b間にノーマルモードの電圧 V_i が印加された場合も、上記の説明と同様にして、端子1a, 1b間の電圧は、原理的にはゼロとなる。

【0083】

ここで、実際には結合係数 k_1, k_2 の値は1よりも小さくなるので、本実施の形態に係るノイズ抑制回路では、結合係数 k_1, k_2 が1より小さくとも、第3のインダクタ53のインダクタンス L_3 の値を結合係数 k_1, k_2 の値に応じて調整することにより、減衰特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性が得られるようにしている。または、任意の周波数に共振点を作ることによって、部分的に理想状態よりも優れた特性が得られるようにしている。

【0084】

図11(A), (B)は、図9(A), (B)に示した平衡型のノイズ抑制回路の変形例を示している。具体的には、図9(A), (B)のノイズ抑制回路よりも平衡度をさらに上げることのできる変形例である。なお、図11(A), (B)のノイズ抑制回路は、図9(A), (B)のノイズ抑制回路に対して直列回路15の部分のみが異なっており、他の回路部分は同様なので図示を省略している。特に図11(A)のノイズ抑制回路は、図9(A), (B)に示された第3のインダクタ53と第1のキャパシタ14とからなる直列回路15に対して、第1のキャパシタ14の2倍の容量を有する2つのキャパシタ1

4 a, 1 4 bで第3のインダクタ5 3を挟んだ構成となっている。この場合、図1 1 (A)の回路における第3のインダクタ5 3のインダクタンス L_3 は、図9 (A), (B)に示された第3のインダクタ5 3と同じである。また、図1 1 (B)のノイズ抑制回路は、図9 (A), (B)に示された直列回路1 5に対して、第1のキャパシタ1 4をそのままの容量として、その第1のキャパシタ1 4を、第3のインダクタ5 3の半分のインダクタンスを有する2つのインダクタ5 3 a, 5 3 bで挟んだ構成となっている。これらの構成をとることで、図9 (A), (B)のノイズ抑制回路よりもさらに平衡度を上げることが可能である。

【0085】

次に、このインダクタンス L_3 の値による減衰特性の変化を、以下のシミュレーションの結果により具体的に説明する。図1 2は、このシミュレーションに用いたノイズ抑制回路の等価回路を示している。なお、 R_a , R_b は、入出力インピーダンスとして設定したものである。この回路において、結合係数 $k_1 = k_2 = 0.8$ として、インダクタンス L_3 の値を種々変化させた場合の減衰特性を計算した。第1および第2のインダクタ5 1, 5 2のインダクタンス L_1 , L_2 、ならびに第4および第5のインダクタ5 4, 5 5のインダクタンス L_4 , L_5 は共に、同じ値($L_0 = 10 \mu H$)に設定した。

【0086】

図1 3は、そのシミュレーション結果を示している。これは、図6と同様、ノーマルモードノイズの減衰量の周波数特性をグラフ化して示したものである。図1 3には、比較のため理想状態($k = 1$, $L_3 = 2 L_0 = 20 \mu H$)での計算結果も示す。図1 3において、符号9 1で示した線は理想状態の場合、符号9 2で示した線は $L_3 = 34 \mu H$ とした場合、符号9 3で示した線は $L_3 = 20 \mu H$ とした場合、符号9 4で示した線は $L_3 = 16.1 \mu H$ とした場合、符号9 5で示した線は $L_3 = 16 \mu H$ とした場合、符号9 6で示した線は $L_3 = 15.9 \mu H$ とした場合、符号9 7で示した線は $L_3 = 14.4 \mu H$ とした場合のシミュレーション結果を示している。

【0087】

図1 3のシミュレーション結果から、インダクタンス L_3 の値とその減衰特性との関係に関して以下のことが言える。インダクタンス L_3 の値により、おおきく以下の3つの条件(A)～(C)に分けられる。

【0088】

(A) $L_3 = M_1 + M_2$ のとき。

ただし、 $M_1 = k_1 (L_1 \cdot L_2)^{1/2} \dots (4-1)$

$M_2 = k_2 (L_4 \cdot L_5)^{1/2} \dots (4-2)$

図1 3のシミュレーションでは、符号9 5で示した線が該当する($L_3 = 16 \mu H$)。この場合、 k が1未満であっても、減衰特性に関して理想状態($k = 1.0$, $L_3 = 2 L_0$)とほぼ同じ特性が得られる。

【0089】

(B) $L_3 > M_1 + M_2$ のとき。

図1 3のシミュレーションでは、符号9 2～9 4で示した線が該当する($L_3 > 16 \mu H$)。この場合、理想状態のときにはなかった共振点が現れる。そして、その共振周波数 f_0 は、

$$f_0 = 1 / 2 \pi \sqrt{C (L_3 - M_1 - M_2)}$$

と求められる。 $\sqrt{}$ は、 $C (L_3 - M_1 - M_2)$ 全体の平方根を取ることを示す。 C は、直列回路1 5の第1のキャパシタ1 4のキャパシタンスを示す。したがってこの場合、 L_3 の値を変えることにより、共振周波数を任意の周波数に移動できる。この共振点を設けた場合、カットオフ周波数より高い周波数領域において部分的に、理想状態の場合よりも減衰特性が良くなる領域が生じる。すなわち、図1 3からも分かるようにカットオフ周波数より高い周波数でかつ理想状態の特性と一致するまでの周波数帯では、理想状態の特性よりも減衰特性が良くなる領域が生じる。

この場合において、インダクタンス L_3 の最大値としては、上式で求められる共振周波

数 f_0 が理想状態のカットオフ周波数以上であることが望ましいという条件より、

$$L_3 \leq 1/2 \{ (L_1 + L_4 + M_1 + M_2) (L_2 + L_5 + M_1 + M_2) \}^{1/2} + M_1 + M_2 \quad \dots\dots (5)$$

であることが望ましい。図 13 のシミュレーションでは、符号 92 で示した線が、この式から求められる最大値での特性を示している ($L_3 = 34 \mu\text{H}$)。

【0090】

(C) $L_3 < M_1 + M_2$ のとき。

図 13 のシミュレーションでは、符号 96, 97 で示した線が該当する ($L_3 < 16 \mu\text{H}$)。この場合、図 13 の減衰特性からも分かるように、理想状態のときと似た傾向の特性が得られ、特に、ある状態までは理想状態とほぼ同じ特性を示し、ある周波数以上から減衰特性が悪化する。このため、理想状態とほぼ同じ周波数範囲で使用するならば、 L_3 をこの条件値にすることにメリットがある。

この場合において、インダクタンス L_3 の最小値としてはシミュレーションから、

$$L_3 \geq 0.9 (M_1 + M_2)^{1/2} \quad \dots\dots (6)$$

であることが望ましい。図 13 のシミュレーションでは、符号 97 で示した線が、この式から求められる最小値での特性を示している ($L_3 = 14.4 \mu\text{H}$)。

【0091】

以上説明したように、本実施の形態に係るノイズ抑制回路によれば、第 1 および第 2 の導電線 3, 4 のそれぞれにインダクタを挿入し、第 1 および第 2 の導電線 3, 4 のインピーダンス特性が平衡になるように構成されているので、ライン間の平衡度を高くすることができる。特に、結合係数 k_1 , k_2 の値に応じて、直列回路 15 におけるインダクタンス L_3 が適切な値に設定されているため、ノイズの減衰量の周波数特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性、または部分的に理想状態よりも優れた特性を得ることができる。本実施の形態におけるその他の構成、作用および効果は、第 1 の実施の形態と同様である。

【0092】

なお、各実施の形態に係るノイズ抑制回路は、電力変換回路が発生するリップル電圧やノイズを低減する手段や、電力線通信において電力線上のノイズを低減したり、室内電力線上の通信信号が屋外電力線に漏洩することを防止する手段として利用することができる。

【図面の簡単な説明】

【0093】

【図 1】 本発明の第 1 の実施の形態に係るノイズ抑制回路の第 1 および第 2 の構成例を示す回路図である。

【図 2】 第 1 および第 2 のインダクタの実際の構成例を示す図である。

【図 3】 本発明の第 1 の実施の形態に係るノイズ抑制回路の特性を求めるための第 1 のシミュレーションに用いた回路構成を示す図である。

【図 4】 第 1 のシミュレーション結果を示す特性図である。

【図 5】 本発明の第 1 の実施の形態に係るノイズ抑制回路の特性を求めるための第 2 のシミュレーションに用いた回路構成を示す図である。

【図 6】 第 2 のシミュレーション結果を示す特性図である。

【図 7】 本発明の第 1 の実施の形態に係るノイズ抑制回路の特性を求めるための第 3 のシミュレーションに用いた回路構成を示す図である。

【図 8】 第 3 のシミュレーション結果を示す特性図である。

【図 9】 本発明の第 2 の実施の形態に係るノイズ抑制回路の第 1 および第 2 の構成例を示す回路図である。

【図 10】 第 1 および第 2 のインダクタ、ならびに第 5 および第 6 のインダクタの実際の構成例を示す図である。

【図 11】 本発明の第 2 の実施の形態に係るノイズ抑制回路の変形例を示す回路図である。

【図 1 2】本発明の第 2 の実施の形態に係るノイズ抑制回路の特性を求めるためのシミュレーションに用いた回路構成を示す図である。

【図 1 3】本発明の第 2 の実施の形態に係るノイズ抑制回路のシミュレーション結果を示す特性図である。

【図 1 4】結合係数の測定方法についての説明図である。

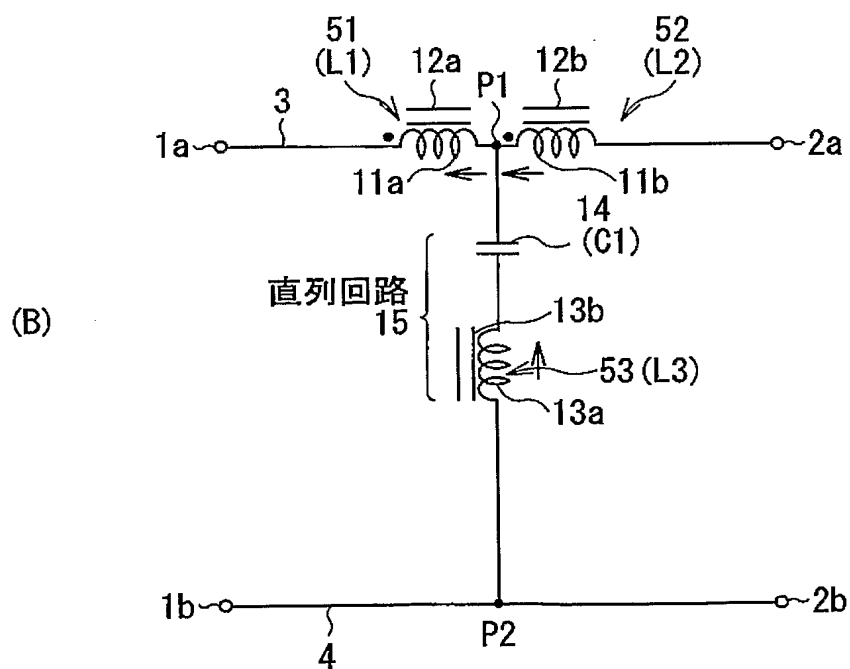
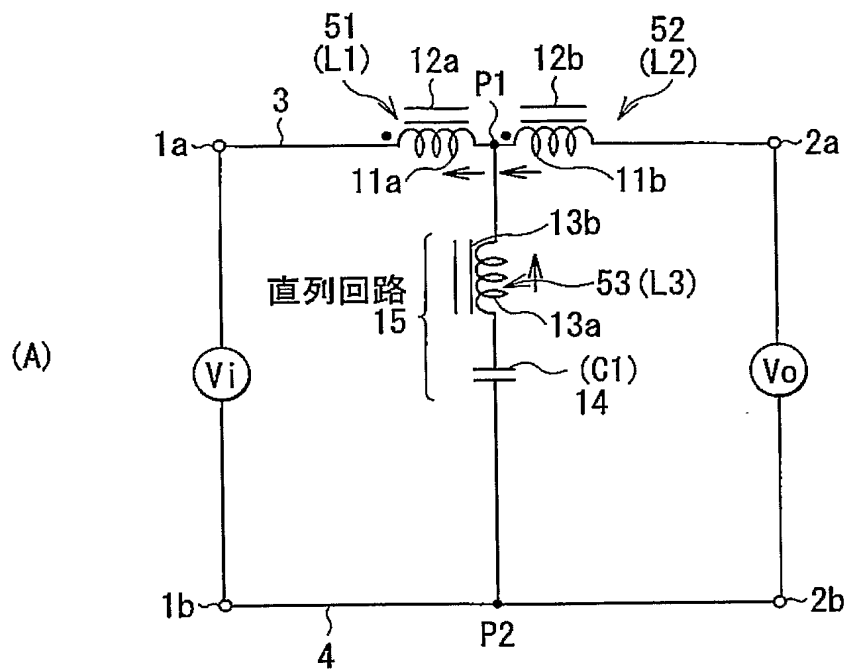
【符号の説明】

【0 0 9 4】

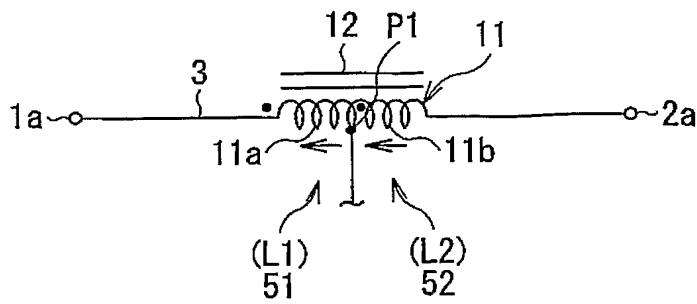
R a, R b…寄生抵抗、3…第 1 の導電線、4…第 2 の導電線、1 1, 1 1 a, 1 1 b, 2 1, 2 1 a, 2 1 b…巻線、1 2, 1 2 a, 1 2 b, 2 2, 2 2 a, 2 2 b…磁芯、1 4…第 1 のキャパシタ、1 5…直列回路、5 1…第 1 のインダクタ、5 2…第 2 のインダクタ、5 3…第 3 のインダクタ、5 4…第 4 のインダクタ、5 5…第 5 のインダクタ。

【書類名】 図面

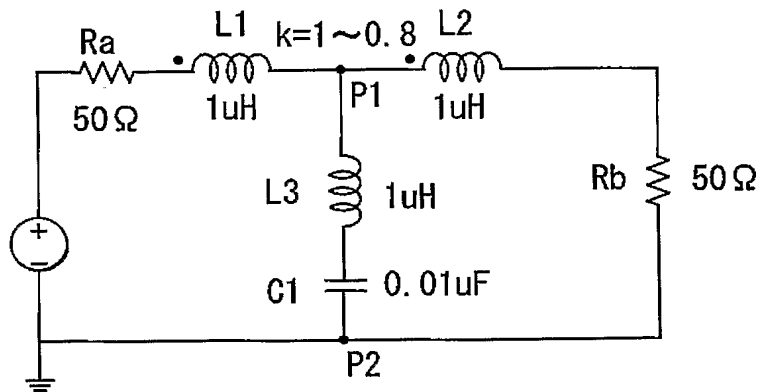
【図 1】



【図 2】

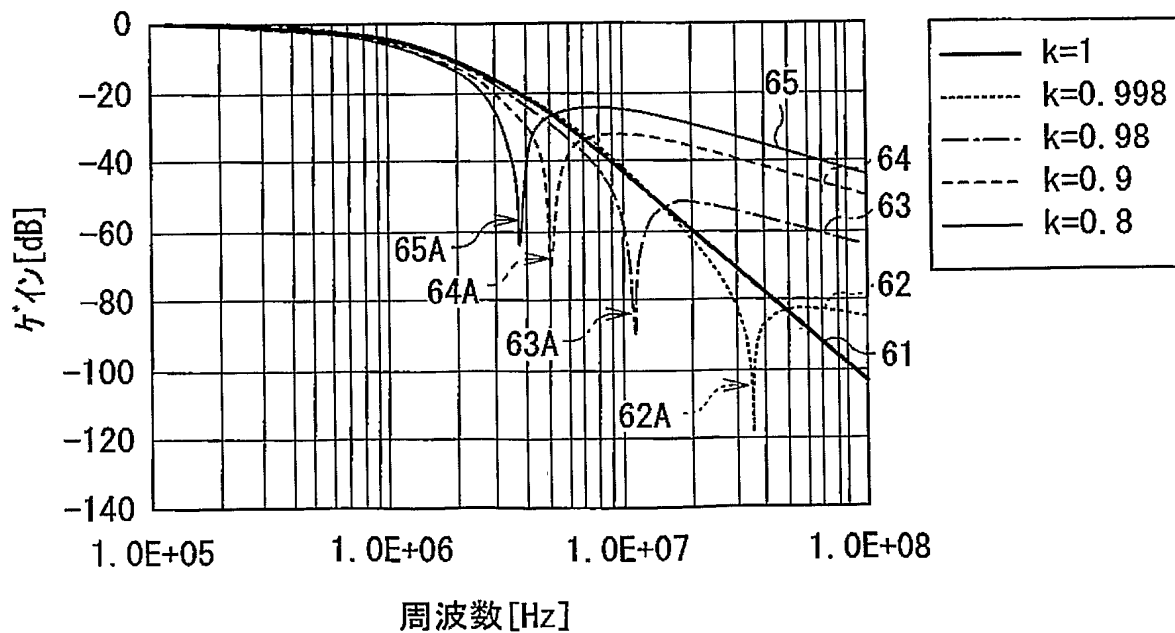


【図 3】

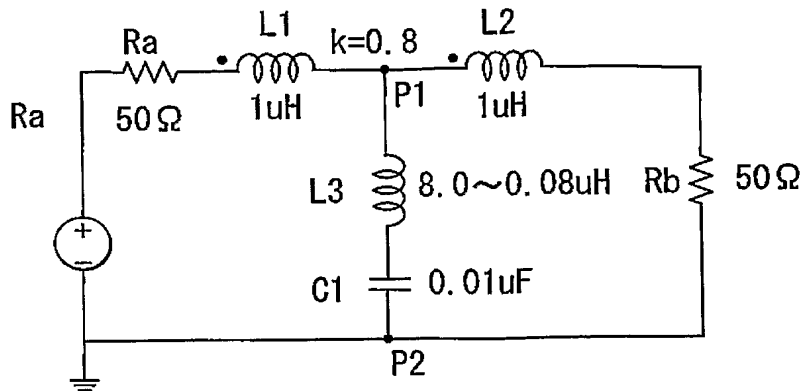


【図 4】

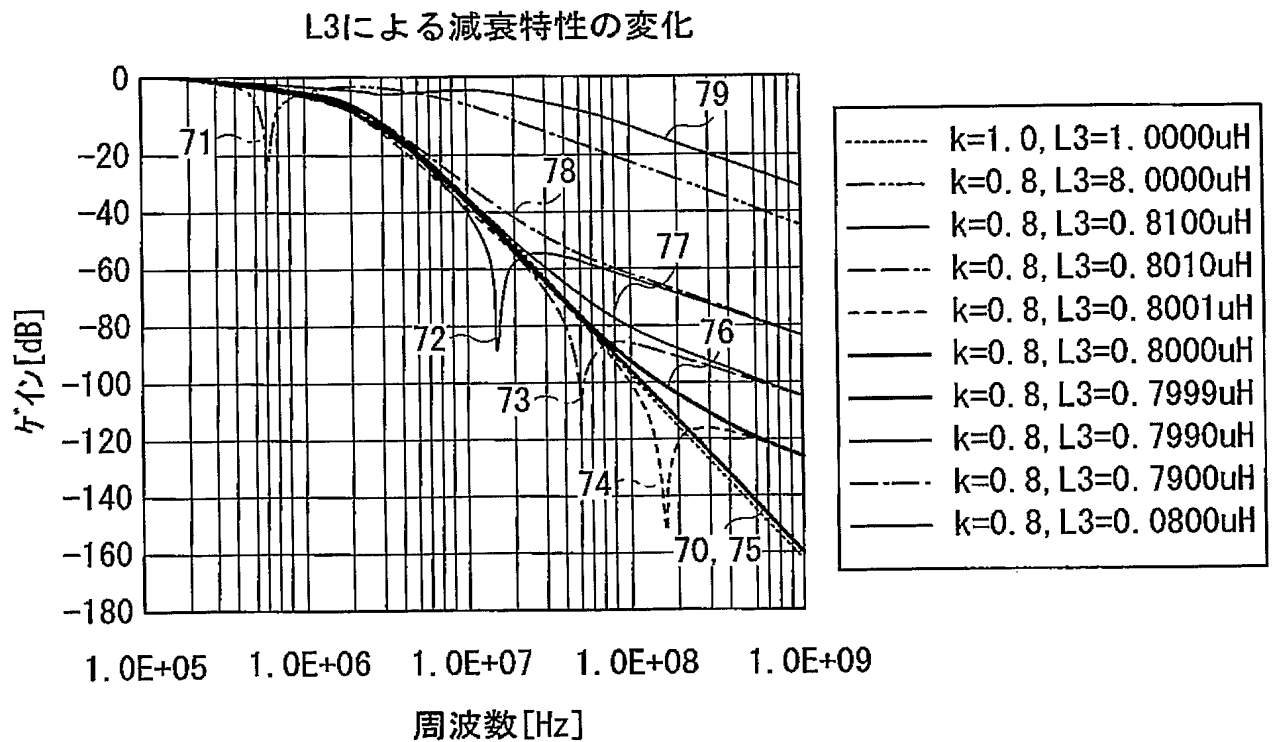
結合係数による減衰特性の変化



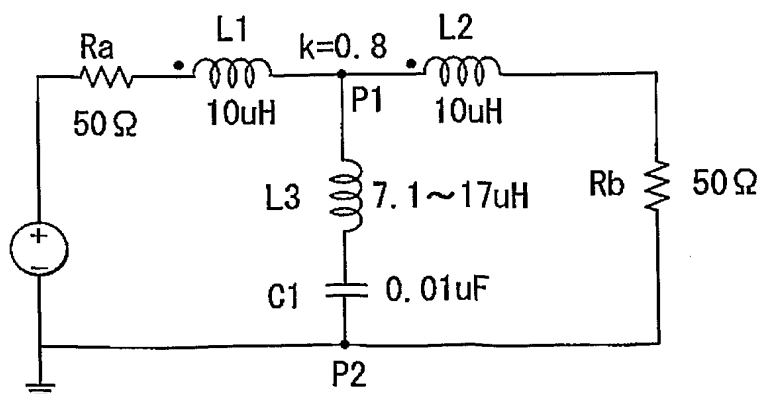
【図 5】



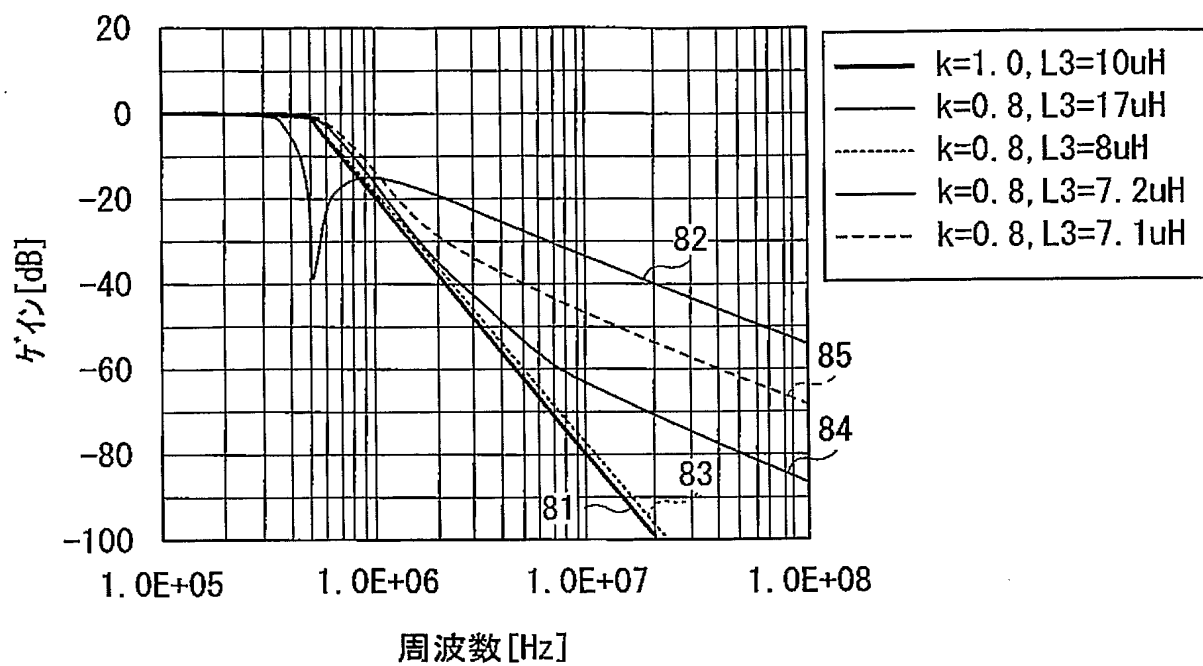
【図 6】



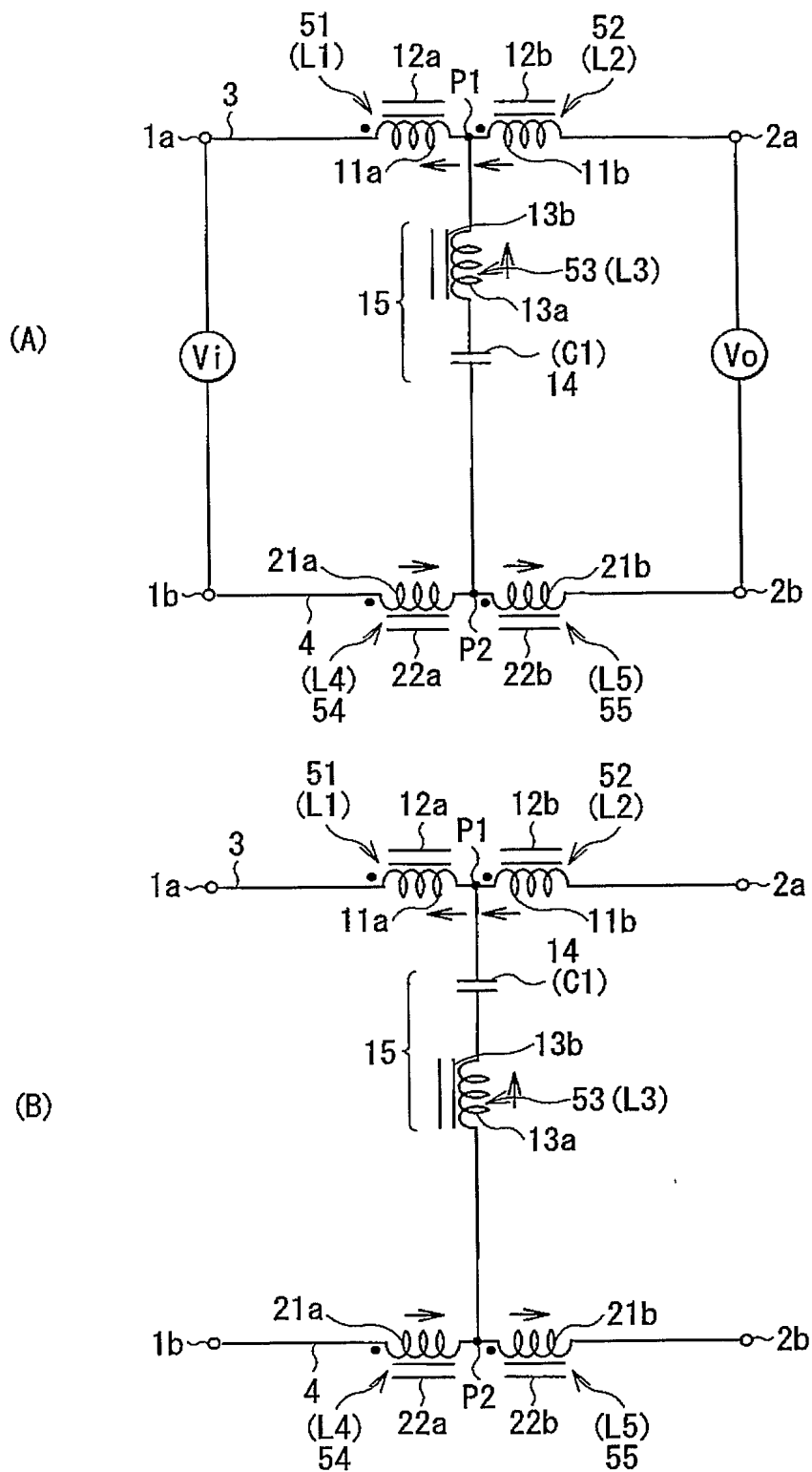
【図 7】



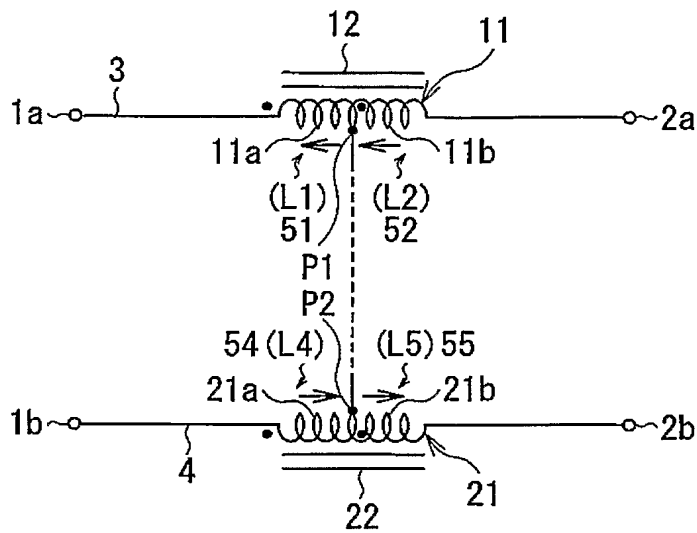
【図 8】



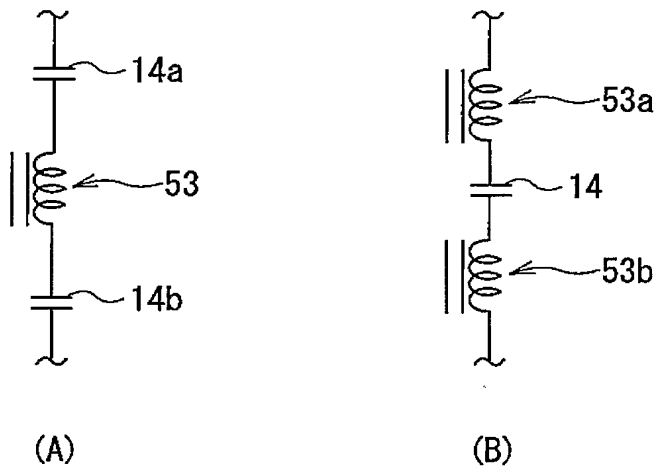
【図 9】



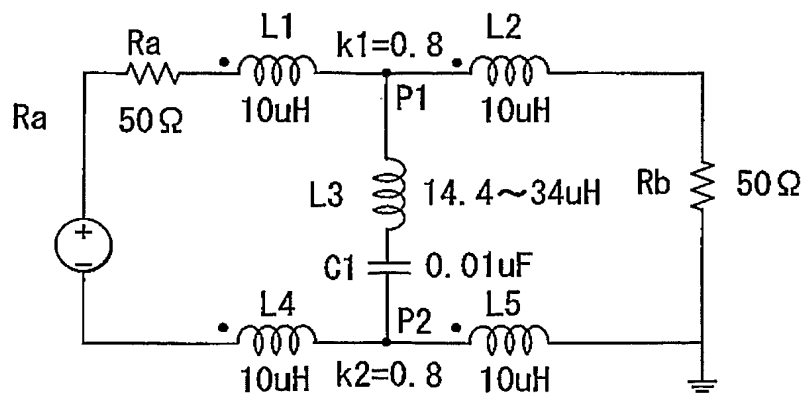
【図 10】



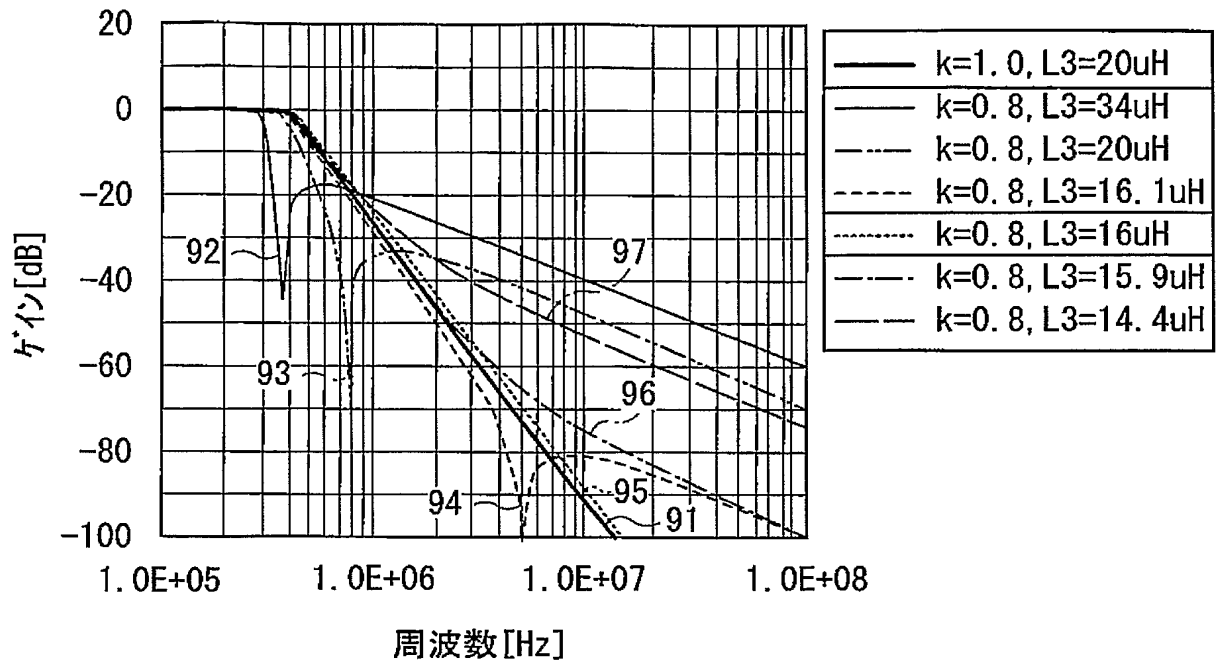
【図 11】



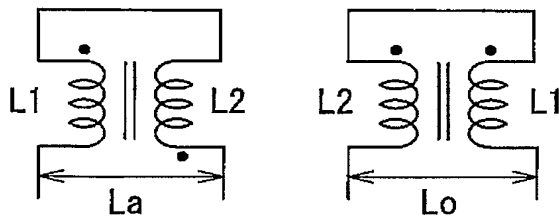
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 広い周波数範囲においてノイズを抑制でき、かつ小型化が可能なノイズ抑制回路を実現する。

【解決手段】 ノイズ抑制回路は、第1の導電線3に直列的に挿入された第1および第2のインダクタ51、52と、直列に接続された第3のインダクタ53と第1のキャパシタ14とからなる直列回路15とを備えている。直列回路15の一端が、第1のインダクタ51と第2のインダクタ52との間に接続され、他端が第2の導電線4に接続されている。第1のインダクタ51と第2のインダクタ52との結合係数 k が1より小さくとも、第3のインダクタ53のインダクタンス L_3 の値を結合係数 k の値に応じて調整することにより、減衰特性に関して、理想状態とほぼ同じ特性、もしくは似た傾向の特性が得られるようにしている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2004-106098
受付番号	50400546941
書類名	特許願
担当官	鈴木 康子 9584
作成日	平成 16 年 4 月 20 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000003067
【住所又は居所】	東京都中央区日本橋 1 丁目 13 番 1 号
【氏名又は名称】	T D K 株式会社

【代理人】

申請人

【識別番号】	100109656
--------	-----------

【住所又は居所】	東京都新宿区新宿 1 丁目 9 番 5 号 大台ビル 2 階 翼国際特許事務所
----------	--

【氏名又は名称】	三反崎 泰司
----------	--------

【代理人】

【識別番号】	100098785
--------	-----------

【住所又は居所】	東京都新宿区新宿 1 丁目 9 番 5 号 大台ビル 2 階 翼国際特許事務所
----------	--

【氏名又は名称】	藤島 洋一郎
----------	--------



特願 2 0 0 4 - 1 0 6 0 9 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日

2 0 0 3 年 6 月 2 7 日

[変更理由]

名称変更

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

T D K 株式会社